

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

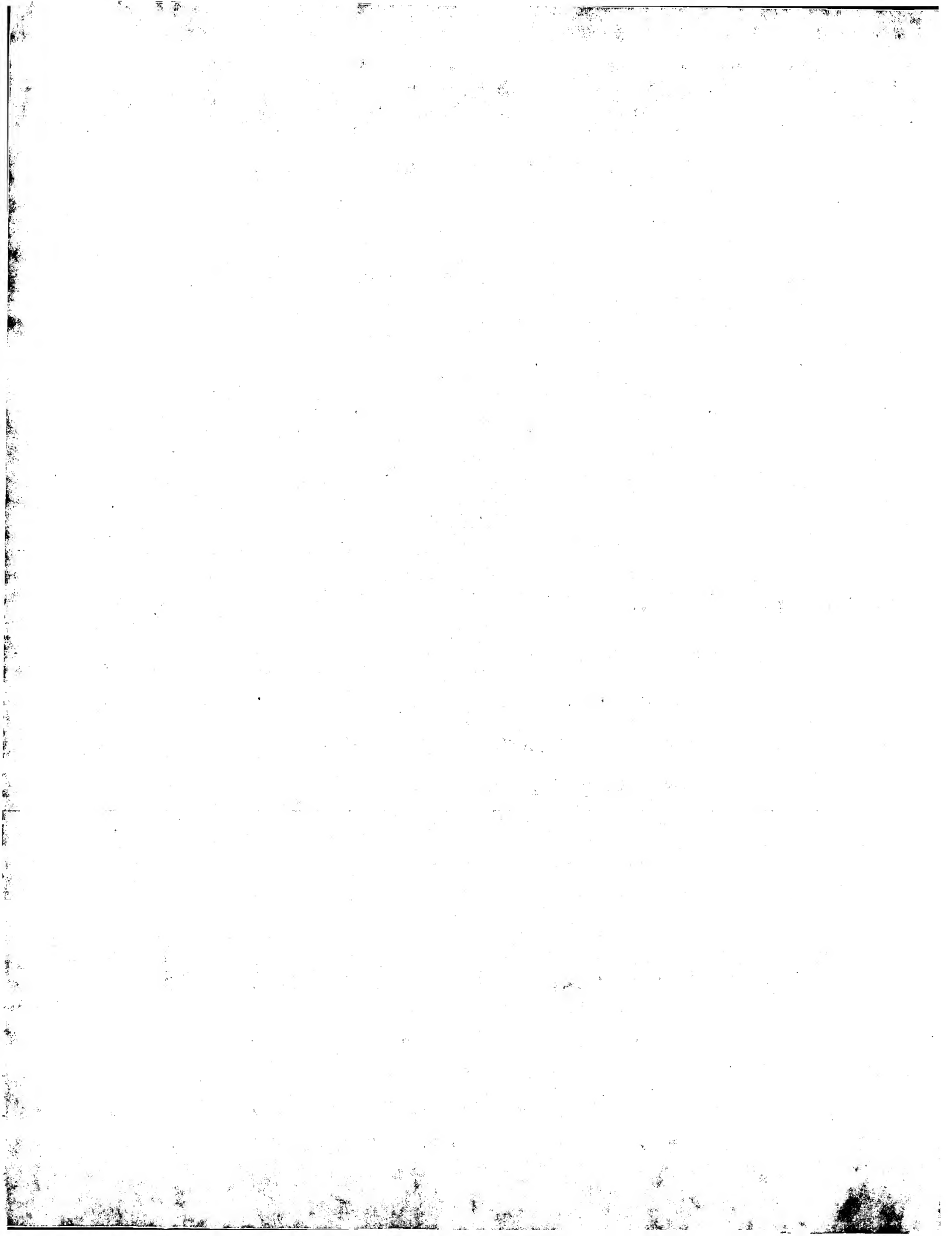
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**





①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 199 30 167 A 1**

⑤1 Int. Cl.<sup>7</sup>:  
**H 03 K 5/135**  
H 03 K 5/15  
H 03 L 7/06

②1 Aktenzeichen: 199 30 167.0  
②2 Anmeldetag: 30. 6. 1999  
④3 Offenlegungstag: 18. 1. 2001

DE 199 30 167 A 1

⑦1 Anmelder:  
Siemens AG, 80333 München, DE

⑦2 Erfinder:  
Heyne, Patrick, 81541 München, DE; Hein, Thomas,  
81667 München, DE; Partsch, Torsten, 81539  
München, DE; Marx, Thilo, 80997 München, DE

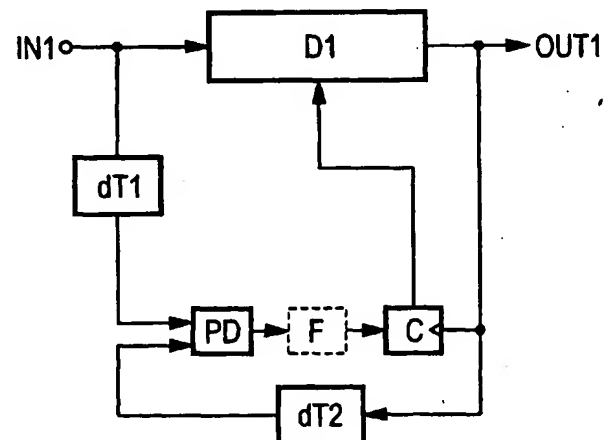
⑤6 Entgegenhaltungen:  
DE 197 03 986 A1  
DE 37 33 554 A1  
US 57 77 501

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Integrierte Schaltung mit einem Phasenregelkreis

⑤7 Ein Phasenregler (C) ist eingangsseitig mit dem Ausgang eines Phasenkomparators (PD) verbunden und erzeugt in Abhängigkeit der von diesem festgestellten Phasendifferenz ein Steuersignal. Eine Aktualisierung des einem Steuereingang einer ersten Verzögerungseinheit (D1) zugeführten Steuersignals wird durch eine Flanke des am Taktausgang (OUT1) der ersten Verzögerungseinheit (D1) auftretenden ersten Ausgangstakts ausgelöst.



DE 199 30 167 A 1

Die Erfindung betrifft eine integrierte Schaltung mit einem Phasenregelkreis.

Delay Locked Loops (DLL) sind integrierte Schaltungen mit einem Phasenregelkreis, bei denen ein Ausgangstakt mit einer bestimmten Phasenverschiebung zu einem Eingangstakt erzeugt wird. DLLs weisen üblicherweise eine Verzögerungseinheit auf, die zwischen einem Takteingang und einem Taktausgang angeordnet ist und deren Verzögerungszeit einstellbar ist. Der Takteingang für den Eingangstakt und der Taktausgang für den Ausgangstakt sind mit einem Phasenkomparator bzw. Phasendetektor verbunden. Ein dem Phasendetektor nachgeschalteter Phasenregler erzeugt ein Steuersignal, über das die Verzögerungszeit der Verzögerungseinheit eingestellt wird. Die Erzeugung und Aktualisierung des Steuersignals durch den Phasenregler erfolgt dabei oftmals synchron mit einem Steuertakt.

Da Flanken des Ausgangstakts maßgeblich für die Ansteuerung von der DLL nachgeschalteten Schaltungseinheiten sind, ist es wünschenswert, daß diese Flanken möglichst ohne Störungen erzeugt werden. Es kann jedoch vorkommen, daß der vom Steuertakt getaktete Phasenregler eine Anpassung bzw. Aktualisierung des der Verzögerungseinheit zugeführten Steuersignals kurz vor oder sogar während dem Auftretens einer Flanke des Ausgangstakts vornimmt. Dies führt zu einer unerwünschten störenden Beeinflussung der Flanken des Ausgangstakts. Die Störung ist darauf zurückzuführen, daß bei einer Änderung des Steuersignals eine Änderung der Verzögerungszeit der Verzögerungseinheit durchgeführt wird, für die bestimmte Schaltvorgänge innerhalb der Verzögerungseinheit durchgeführt werden müssen.

Der Erfindung liegt die Aufgabe zugrunde, eine integrierte Schaltung der eingangs beschriebenen Art anzugeben, bei der Störungen der Flanken des Ausgangstakts aufgrund der Aktualisierung des vom Phasenregler erzeugten Steuersignals vermieden werden.

Diese Aufgabe wird mit einer integrierten Schaltung gemäß Patentanspruch 1 gelöst. Vorteilhafte Aus- und Weiterbildungen der Erfindung sind Gegenstand der abhängigen Ansprüche.

Erfindungsgemäß wird die Aktualisierung des dem Steuereingang der Verzögerungseinheit zugeführten Steuersignals durch eine Flanke des am Taktausgang auftretenden Ausgangstakts ausgelöst.

Dadurch, daß die Aktualisierung des Steuersignals erst durch die Flanke des Ausgangstakts ausgelöst wird, können die durch die Aktualisierung verursachten Einstellungsvorgänge innerhalb der Verzögerungseinheit die Flanke nicht mehr störend beeinflussen.

Bisher war es üblich, den Phasenregler mit einem Steuertakt anzusteuern, der unabhängig vom Ausgangstakt des Phasenregelkreises ist. Damit erfolgte die Aktualisierung des der Verzögerungseinheit zugeführten Steuersignals unabhängig vom Ausgangstakt, so daß es zu einer störenden Beeinflussung der Flanken des Ausgangstakts kommen konnte.

Nach einer ersten Ausführungsform der Erfindung wird die Abhängigkeit der Aktualisierung des Steuersignals vom Ausgangstakt erreicht, indem der Phasenregler vom Ausgangstakt und nicht von einem davon unabhängigen Steuertakt getaktet wird. Hierzu ist ein Takteingang des Phasenreglers mit dem Taktausgang der Verzögerungseinheit verbunden. Der Phasenregler erzeugt dann die aktualisierten Werte des Steuersignals in Abhängigkeit der Flanken des Ausgangstakts.

Nach einer anderen Ausführungsform der Erfindung

weist die integrierte Schaltung eine zwischen dem Ausgang des Phasenreglers und dem Steuereingang der ersten Verzögerungseinheit angeordnete erste Transfereinheit auf, deren Takteingang mit dem Taktausgang der ersten Verzögerungseinheit verbunden ist. Die erste Transfereinheit leitet das ihr vom Phasenregler zugeführte Steuersignal in Abhängigkeit der Flanke des ihrem Takteingang zugeführten ersten Ausgangstakts an die erste Verzögerungseinheit weiter.

Bei dieser Ausführungsform ist es möglich, daß der Phasenregler von einem Steuertakt getaktet wird, der weiterhin unabhängig vom Ausgangstakt der ersten Verzögerungseinheit ist. Durch die erste Transfereinheit, die beispielsweise eine getaktete Halteschaltung (Latch) sein kann, ist trotzdem gewährleistet, daß der jeweils aktualisierte Wert des Steuersignals erst nach dem Auftreten einer Flanke des Ausgangstakts an den Steuereingang der ersten Verzögerungseinheit weitergeleitet wird. Auch auf diese Weise werden also unerwünschte Störungen von Flanken des Ausgangstakts aufgrund von Veränderungen des vom Phasenregler erzeugten Steuersignals vermieden.

Nach einer Weiterbildung der Erfindung weist die integrierte Schaltung eine zweite Verzögerungseinheit mit einem Takteingang zur Zuführung eines zweiten Eingangstakts, mit einem Taktausgang zur Ausgabe eines gegenüber dem zweiten Eingangstakt verzögerten zweiten Ausgangstakts und mit wenigstens einem Steuereingang zum Einstellen ihrer Verzögerungszeit auf. Die Schaltung weist weiterhin eine zweite Transfereinheit auf, über die der Ausgang des Phasenreglers mit dem Steuereingang der zweiten Verzögerungseinheit verbunden ist, die einen Takteingang aufweist, der mit dem Taktausgang der zweiten Verzögerungseinheit verbunden ist, und die das ihr vom Phasenregler zugeführte Steuersignal in Abhängigkeit der Flanke des ihrem Steuereingang zugeführten zweiten Ausgangstakts an die zweite Verzögerungseinheit weiterleitet.

Bei dieser Weiterbildung der Erfindung dient der Phasenregler also sowohl der Regelung der Phasenverschiebung des ersten Ausgangstakts gegenüber dem ersten Eingangstakt als auch der Steuerung der Phasenverschiebung des zweiten Ausgangstakts gegenüber dem zweiten Eingangstakt. Diese Weiterbildung eignet sich insbesondere für solche ersten und zweiten Eingangstakte, die die gleiche Frequenz aufweisen und zueinander eine bestimmte Phasenverschiebung aufweisen. Durch die zweite Transfereinheit ist gewährleistet, daß durch die Aktualisierung des Steuersignals, das sowohl der ersten als auch der zweiten Verzögerungseinheit zugeführt wird, auch die Flanken des zweiten Ausgangstakts nicht störend beeinflusst werden.

Nach einer weiteren Weiterbildung der Erfindung weist die erste Verzögerungseinheit eine Reihenschaltung einer ersten Verzögerungsstufe und einer zweiten Verzögerungsstufe auf. Der Phasenregler dient zur Erzeugung eines Steuersignals für die erste Verzögerungsstufe und eines Steuersignals für die zweite Verzögerungsstufe. Der Phasenregler ist über eine zweite Transfereinheit mit der ersten Verzögerungsstufe und über eine Reihenschaltung einer dritten Transfereinheit und der ersten Transfereinheit mit der zweiten Verzögerungsstufe verbunden. Takteingänge der zweiten und der dritten Transfereinheit sind mit einem Taktausgang der ersten Verzögerungsstufe verbunden.

Die zweite und die dritte Transfereinheit sorgen dafür, daß den beiden Verzögerungsstufen während einer Periode des Ausgangstakts die zum gleichen Zeitpunkt vom Phasenregler erzeugten Steuersignale zugeführt werden. Die zweite Transfereinheit verhindert eine Störung der Flanken des Ausgangstakts der ersten Verzögerungsstufe und die erste Transfereinheit verhindert eine Störung der Flanken des Ausgangstakts der zweiten Verzögerungsstufe durch die Ak-

tualisierung des jeweiligen Steuersignals.

Die erste Verzögerungsstufe kann beispielsweise zum Grobeinstellen einer Verzögerungszeit und die zweite Verzögerungsstufe zum Feineinstellen einer Verzögerungszeit der ersten Verzögerungseinheit dienen.

Die Erfindung wird im folgenden anhand der Figuren näher erläutert, die unterschiedliche Ausführungsbeispiele der Erfindung zeigen.

Fig. 1 zeigt ein erstes Ausführungsbeispiel der Erfindung, die eine erste Verzögerungseinheit D1 mit einem Takteingang IN1 zur Zuführung eines ersten Eingangstakts und mit einem Taktausgang OUT1 zur Ausgabe eines gegenüber dem ersten Eingangstakt verzögerten ersten Ausgangstakts aufweist. Der Takteingang IN1 ist über ein erstes Verzögerungsglied dT1 mit konstanter oder einstellbarer Verzögerungszeit mit einem ersten Eingang eines Phasendetektors PD verbunden. Der Taktausgang OUT1 ist über ein zweites Verzögerungsglied dT2 mit ebenfalls wahlweise fester oder einstellbarer Verzögerungszeit mit einem zweiten Eingang des Phasendetektors PD verbunden. Bei anderen Ausführungsbeispielen der Erfindung kann auch eines der beiden Verzögerungsglieder dT1, dT2 entfallen. Bei den weiter unten noch zu erläuternden Ausführungsbeispielen gemäß Fig. 2 und Fig. 3 ist nur ein derartiges Verzögerungsglied dT zwischen dem Taktausgang und dem zweiten Eingang des Phasendetektors PD angeordnet, wobei auch bei diesen Ausführungsbeispielen ein weiteres Verzögerungsglied zwischen dem Takteingang und dem ersten Eingang des Phasendetektors alternativ oder zusätzlich zu diesem Verzögerungsglied dT vorgesehen sein kann.

Der Phasendetektor PD in Fig. 1 prüft die Phasendifferenz zwischen den an seinen beiden Eingängen auftretenden Taktsignalen und übermittelt ein entsprechendes Ergebnissignal, ggf. über eine Filtereinheit F, an einen Phasenregler C. Der Phasenregler C erzeugt ein der vom Phasendetektor PD festgestellten Phasendifferenz entsprechendes Steuersignal, das er einem Steuereingang der ersten Verzögerungseinheit D1 zuführt. Über ihren Steuereingang ist die Verzögerungszeit der ersten Verzögerungseinheit D1 einstellbar.

Der Phasenregler C in Fig. 1 weist einen flankensensitiven Takteingang auf, der mit dem Taktausgang OUT1 der ersten Verzögerungseinheit D1 verbunden ist. Der Phasenregler C führt Neuberechnungen des von ihm erzeugten Steuersignals, die im folgenden auch als "Aktualisierungen" des Steuersignals bezeichnet werden, nur bei jeder an seinem Takteingang auftretenden positiven Flanke des ersten Ausgangstakts durch. Dabei wird angenommen, daß die positive Flanke des ersten Ausgangstakts dessen "aktive" Flanke ist, die für die Ansteuerung von (in der Fig. 1 nicht dargestellten), dem ersten Taktausgang OUT1 nachgeschalteten Schaltungseinheiten maßgeblich ist.

Während der Phasendetektor PD die Werte der von ihm festgestellten Phasendifferenz kontinuierlich aktualisiert und dem Phasenregler C übergibt, aktualisiert dieser das von ihm erzeugte Steuersignal nur bei Auftreten einer positiven Flanke an seinem Takteingang. Somit erfolgt eine Änderung des Steuersignals und damit eine Änderung der Verzögerungszeit der ersten Verzögerungseinheit D1 immer unmittelbar nach dem Auftreten der positiven, aktiven Flanke des ersten Ausgangstakts. Auf diese Weise wird also verhindert, daß die Aktualisierung des Steuersignals durch den Phasenregler C die aktive Flanke des ersten Ausgangstakts in unerwünschter Weise beeinflußt. Da nur die aktive Flanke des ersten Ausgangstakts maßgeblich für die Ansteuerung der nachgeschalteten Schaltungseinheiten ist, ist eine auftretende Störung des ersten Ausgangstakts kurz nach dem Auftreten der positiven Flanke unschädlich.

Fig. 2 zeigt ein anderes Ausführungsbeispiel der Erfin-

dung, bei dem in Abweichung von Fig. 1 der Phasenregler C nicht durch den ersten Ausgangstakt am Taktausgang OUT1 der ersten Verzögerungseinheit D1, sondern durch einen davon abweichenden Steuertakt CLK getaktet wird. Bei diesem Ausführungsbeispiel erzeugt der Phasenregler C ein digitales Steuersignal mit einer Breite von mehreren Bit. Dieses wird entsprechenden Steuereingängen der ersten Verzögerungseinheit D1 über eine erste Transfereinheit L1, die eine taktgesteuerte Halteschaltung (Latch) ist, zugeführt. Die erste Transfereinheit L1 weist einen flankensensitiven Takteingang auf, der mit dem Taktausgang OUT1 der ersten Verzögerungseinheit D1 verbunden ist.

Bei diesem Ausführungsbeispiel erzeugt der Phasenregler C also das Steuersignal unabhängig vom ersten Ausgangstakt der ersten Verzögerungseinheit D1. Allerdings speichert die erste Transfereinheit L1 das jeweils vom Phasenregler C erzeugte, aktuelle Steuersignal erst beim Auftreten einer positiven Flanke des ersten Ausgangstakts und leitet dann erst dieses aktualisierte Steuersignal an die erste Verzögerungseinheit D1 weiter. Somit ist auch bei diesem Ausführungsbeispiel gewährleistet, daß Änderungen des Steuersignals an den Steuereingängen der ersten Verzögerungseinheit D1 erst nach dem Auftreten der positiven bzw. aktiven Flanke des ersten Ausgangstakts erfolgen.

Fig. 2 sind noch weitere Komponenten zu entnehmen, die bei anderen Ausführungsbeispielen der Erfindung auch entfallen können. Es handelt sich dabei um eine zweite Verzögerungseinheit D2 mit einem Takteingang IN2 zum Zuführen eines zweiten Eingangstakts und mit einem Taktausgang OUT2 zur Ausgabe eines gegenüber dem zweiten Eingangstakt verzögerten bzw. phasenverschobenen zweiten Ausgangstakts. Die beiden den Takteingängen IN1, IN2 zugeführten Eingangstakte weisen zueinander eine feste Phasenbeziehung auf. Einer der beiden Eingangstakte kann beispielsweise aus dem anderen durch Invertierung erzeugt sein. Die Ausgänge des Phasenreglers C, an denen dieses das Steuersignal ausgibt, sind über eine zweite Transfereinheit L2 mit entsprechenden Steuereingängen der zweiten Verzögerungseinheit D2 verbunden, über die die Verzögerungszeit der zweiten Verzögerungseinheit D2 einstellbar ist. Ein flankensensitiver Takteingang der zweiten Transfereinheit L2 ist mit dem Taktausgang der zweiten Verzögerungseinheit D2 verbunden.

Bei der in Fig. 2 gezeigten Schaltung wird dasselbe vom Phasenregler C erzeugte Steuersignal sowohl der ersten Transfereinheit L1 als auch der zweiten Transfereinheit L2 zugeführt. Die Weiterleitung des aktualisierten Steuersignals erfolgt mittels der ersten Transfereinheit L1 jedoch abhängig vom ersten Ausgangstakt der ersten Verzögerungseinheit D1 und mittels der zweiten Transfereinheit L2 in Abhängigkeit des zweiten Ausgangstakts der zweiten Verzögerungseinheit D2. Somit ist für beide Verzögerungseinheiten D1, D2 gewährleistet, daß die positive Flanke ihrer Ausgangstakte nicht durch Änderungen des Steuersignals an ihren Steuereingängen in störender Weise beeinflußt wird. Während die erste Verzögerungseinheit D1 Bestandteil des den Phasenregler C aufweisenden Phasenregelkreises ist, erfolgt über das vom Phasenregler C über die zweite Transfereinheit L2 an die zweite Verzögerungseinheit D2 übermittelte Steuersignal lediglich eine Steuerung, also keine Regelung, der Phasenverschiebung des zweiten Ausgangstakts gegenüber dem zweiten Eingangstakt.

Fig. 3 zeigt ein weiteres Ausführungsbeispiel der Erfindung, bei dem die erste Verzögerungseinheit D1 eine Reihenschaltung einer ersten Verzögerungsstufe D3 und einer zweiten Verzögerungsstufe D4 aufweist. Der Phasenregler C erzeugt wiederum ein digitales Steuersignal, das bei diesem Beispiel acht Bits A0 bis A7 aufweist. Die fünf höchst-

wertigen Bits A3 bis A7 des Steuersignals werden entsprechenden Steuereingängen der ersten Verzögerungsstufe D3 über eine zweite Transfereinheit L2 zugeführt. Die drei niedrigwertigsten Bits A0 bis A2 des Steuersignals werden entsprechenden Steuereingängen der zweiten Verzögerungsstufe D4 über eine Reihenschaltung einer dritten Transfereinheit L3 und der ersten Transfereinheit L1 zugeführt. Über ihre Steuereingänge sind die Verzögerungszeiten der beiden Verzögerungsstufen D3, D4 einstellbar. Dabei handelt es sich bei der ersten Verzögerungsstufe D3 um eine Grobverzögerungsstufe und bei der zweiten Verzögerungsstufe D4 um eine Feinverzögerungsstufe der ersten Verzögerungseinheit D1. Das bedeutet, daß die Verzögerungszeit der ersten Verzögerungsstufe D3 in minimalen Schritten veränderlich ist, die größer sind als diejenigen der zweiten Verzögerungsstufe D4.

Die drei Transfereinheiten L1, L2, L3 weisen jeweils einen flankensensitiven Takteingang auf. Die Takteingänge der zweiten Transfereinheit L2 und der dritten Transfereinheit L3 sind mit einem Takttausgang A der ersten Verzögerungsstufe D3 verbunden, der auch mit einem Takteingang der zweiten Verzögerungsstufe D4 verbunden ist. Der Takteingang der ersten Transfereinheit L1 ist wiederum mit dem Takttausgang OUT1 der ersten Verzögerungseinheit D1, der ein Takteingang der zweiten Verzögerungsstufe D4 ist, verbunden.

Bei dem in Fig. 3 dargestellten Ausführungsbeispiel erfolgt das Weiterleiten des vom Phasenregler erzeugten Steuersignals gleichzeitig über die zweite Transfereinheit L2 bzw. die dritte Transfereinheit L3 an die Steuereingänge der ersten Verzögerungsstufe D3 und an die Eingänge der ersten Transfereinheit L1. Somit ist gewährleistet, daß positive Flanken am Takttausgang A der ersten Verzögerungsstufe D3 nicht durch eine Aktualisierung des Steuersignals an den Steuereingängen der ersten Verzögerungsstufe D3 in störender Weise beeinflußt werden. Die erste Transfereinheit L1 sorgt wiederum dafür, daß das von ihr an die Steuereingänge der zweiten Verzögerungsstufe D4 übermittelte Steuersignal erst nach dem Auftreten einer positiven Flanke des ersten Ausgangstakts geändert wird.

Die Transfereinheiten L1, L2, L3 sind wiederum Haltschaltungen, die den vorhergehenden Wert des Steuersignals so lange speichern und an die Steuereingänge der entsprechenden Verzögerungsstufen D3, D4 weiterleiten, bis sie beim Auftreten der nächsten positiven Flanke an ihrem Takteingang den zu diesem Zeitpunkt an ihren Eingängen anliegenden Wert des Steuersignals übernehmen und anstelle des zuvor gespeicherten Wertes speichern und an die Verzögerungsstufen D3, D4 weiterleiten.

Bei allen erläuterten Ausführungsbeispielen erfolgt die Änderung der Verzögerungszeit der Verzögerungseinheiten D1, D2 bzw. Verzögerungsstufen D3, D4 zu einem Zeitpunkt, der unkritisch ist und den entsprechenden Ausgangstakt nicht wesentlich stört. Insbesondere wird dessen aktive Flanke (bei diesen Ausführungsbeispielen die positive Flanke) nicht gestört. Dadurch, daß die Aktualisierung der Steuersignale an den Steuereingängen der Verzögerungseinheiten bzw. Verzögerungsstufen unmittelbar durch die aktive Flanke der Ausgangstakte ausgelöst wird, steht die maximal mögliche Zeitspanne der Periode der Ausgangstakte zur Verfügung, um die sich aufgrund der Aktualisierung ergebende Änderung der Verzögerungszeiten vorzunehmen, bevor die nächste aktive Flanke am entsprechenden Takteingang auftritt. Somit befinden sich die Verzögerungseinheiten D1, D2 und Verzögerungsstufen D3, D4 bereits im eingeschwungenen Zustand, wenn die nächste positive Taktflanke auftritt.

Beim Ausführungsbeispiel gemäß Fig. 3 gewährleistet

die dritte Transfereinheit L3, daß die Verzögerungszeit der zweiten Verzögerungsstufe D4 immer nach derjenigen der ersten Verzögerungsstufe D3, aber in derselben Taktperiode geändert wird.

Die Transfereinheiten L1, L2, L3 der unterschiedlichen Ausführungsbeispiele sind günstigerweise unmittelbar in der Nähe der Steuereingänge der zugehörigen Verzögerungseinheiten D1, D2 bzw. Verzögerungsstufen D3, D4 angeordnet, so daß zwischen ihren Ausgängen und den Steuereingängen nur noch vernachlässigbare Signallaufzeiten auftreten.

Das in Fig. 3 gezeigte Ausführungsbeispiel eignet sich insbesondere, wenn die beiden Verzögerungsstufen D3, D4, zum Einstellen einer neuen Verzögerungszeit Zeitspannen benötigen, deren Summe größer oder gleich der Periodendauer des ersten Eingangstakts ist.

Die Transfereinheiten L1, L2, L3 können bei anderen Ausführungsbeispielen auch durch negative Flanken an ihren Takteingängen getaktet werden, wenn dies die aktiven Flanken der entsprechenden Taktsignale sind.

#### Patentansprüche

##### 1. Integrierte Schaltung

- mit einer ersten Verzögerungseinheit (D1) mit einem Takteingang (IN1) zur Zuführung eines ersten Eingangstakts, mit einem Takttausgang (OUT1) zur Ausgabe eines gegenüber dem ersten Eingangstakt verzögerten ersten Ausgangstakts und mit wenigstens einem Steuereingang zum Einstellen ihrer Verzögerungszeit,
- mit einem Phasendetektor (PD) mit einem ersten Eingang, der mit dem Takteingang (IN1) der ersten Verzögerungseinheit (D1) verbunden ist, und mit einem zweiten Eingang, der mit dem Takttausgang (OUT1) der ersten Verzögerungseinheit verbunden ist,
- und mit einem Phasenregler (C) mit wenigstens einem Eingang, der mit einem Ausgang des Phasenkomparators (PD) verbunden ist, und mit wenigstens einem Ausgang, der mit dem Steuereingang der ersten Verzögerungseinheit (D1) verbunden ist und der zur Ausgabe eines Steuersignals dient, das abhängig von einer vom Phasenkomparator festgestellten Phasendifferenz ist,
- bei der eine Aktualisierung des dem Steuereingang der ersten Verzögerungseinheit (D1) zugeführten Steuersignals durch eine Flanke des am Takttausgang (OUT1) auftretenden ersten Ausgangstakts ausgelöst wird.

##### 2. Integrierte Schaltung nach Anspruch 1, deren Phasenregler (C) einen Takteingang aufweist, der mit dem Takttausgang (OUT1) der ersten Verzögerungseinheit (D1) verbunden ist, und die Berechnung eines aktuellen Werts des Steuersignals in Abhängigkeit von an seinem Takteingang auftretenden Flanken durchführt.

- ##### 3. Integrierte Schaltung nach Anspruch 1,
- mit einer ersten Transfereinheit (L1),
  - über die der Ausgang des Phasenreglers (C) mit dem Steuereingang der ersten Verzögerungseinheit (D1) verbunden ist,
  - die einen Takteingang aufweist, der mit dem Takttausgang (OUT1) der ersten Verzögerungseinheit (D1) verbunden ist,
  - und die das ihr vom Phasenregler (C) zugeführte Steuersignal in Abhängigkeit der Flanke des ihrem Takteingang zugeführten ersten Ausgangstakts (OUT1) an die erste Verzögerungsein-

- heit (D1) weiterleitet.
4. Integrierte Schaltung nach Anspruch 3,  
 – mit einer zweiten Verzögerungseinheit (D2) mit  
 einem Takteingang (IN2) zur Zuführung eines  
 zweiten Eingangstakts, mit einem Taktausgang  
 (OUT2) zur Ausgabe eines gegenüber dem zwei- 5  
 ten Eingangstakt verzögerten zweiten Ausgangs-  
 takts und mit wenigstens einem Steuereingang  
 zum Einstellen ihrer Verzögerungszeit,  
 – und mit einer zweiten Transfereinheit (L2), 10  
 – über die der Ausgang des Phasenreglers (C) mit  
 dem Steuereingang der zweiten Verzögerungsein-  
 heit (D2) verbunden ist,  
 – die einen Takteingang aufweist, der mit dem  
 Taktausgang (OUT2) der zweiten Verzögerungs- 15  
 einheit verbunden ist,  
 – und die das ihr vom Phasenregler (C) zuge-  
 führte Steuersignal in Abhängigkeit der Flanke  
 des ihrem Steuereingang zugeführten zweiten  
 Ausgangstakts an die zweite Verzögerungseinheit 20  
 (D2) weiterleitet.
5. Integrierte Schaltung nach Anspruch 3,  
 – deren erste Verzögerungseinheit (D1) zwischen  
 ihrem Takteingang (IN1) und ihrem Taktausgang  
 (OUT1) eine Reihenschaltung einer ersten Verzö- 25  
 gerungsstufe (D3) und einer zweiten Verzö-  
 gerungsstufe (D4) aufweist, die jeweils wenigstens  
 einen Steuereingang zum Einstellen ihrer Verzö-  
 gerungszeit aufweisen,  
 – deren Phasenregler (C) wenigstens einen ersten 30  
 Ausgang zur Ausgabe eines Steuersignals für die  
 erste Verzögerungsstufe (D3) und wenigstens ei-  
 nen zweiten Ausgang zur Ausgabe eines Steuersi-  
 gnals für die zweite Verzögerungsstufe (D4) auf-  
 weist, 35  
 – deren erste Transfereinheit (L1) einen Eingang  
 aufweist und einen Ausgang, der mit dem Steuer-  
 eingang der zweiten Verzögerungsstufe (D4) ver-  
 bunden ist,  
 – mit einer zweiten Transfereinheit (L2), 40  
 – über die der erste Ausgang des Phasenreglers  
 (C) mit dem Steuereingang der ersten Verzöge-  
 rungsstufe (D3) verbunden ist,  
 – die einen Takteingang aufweist, der mit einem  
 Ausgang (A) der ersten Verzögerungsstufe (D3) 45  
 verbunden ist,  
 – und die das ihr vom Phasenregler (C) zuge-  
 führte Steuersignal in Abhängigkeit einer Flanke  
 eines ihrem Steuereingang zugeführten Aus-  
 gangstakts der ersten Verzögerungsstufe (D3) an 50  
 die erste Verzögerungsstufe weiterleitet,  
 – mit einer dritten Transfereinheit (L3),  
 – über die der zweite Ausgang des Phasenreglers  
 (C) mit dem Eingang der ersten Transfereinheit  
 (L1) verbunden ist, 55  
 – die einen Takteingang aufweist, der mit dem  
 Ausgang (A) der ersten Verzögerungsstufe (D3)  
 verbunden ist,  
 – und die das ihr vom Phasenregler (C) zuge-  
 führte Steuersignal in Abhängigkeit der Flanke 60  
 des ihrem Takteingang zugeführten Ausgangs-  
 takts der ersten Verzögerungsstufe (D3) an die er-  
 ste Transfereinheit (L1) weiterleitet.
6. Integrierte Schaltung nach Anspruch 5, deren erste  
 Verzögerungsstufe (D3) zum Grobeinstellen einer Ver- 65  
 zögerungszeit und deren zweite Verzögerungsstufe  
 (D4) zum Feineinstellen einer Verzögerungszeit der er-  
 sten Verzögerungseinheit (D1) dient.

7. Integrierte Schaltung nach einem der vorstehenden  
 Ansprüche, deren wenigstens eine Transfereinheit (L1,  
 L2, L3) die ihr zugeführten Steuersignale zwischen an  
 ihrem Takteingang aufeinanderfolgenden Signalfan-  
 ken speichert.

---

Hierzu 2 Seite(n) Zeichnungen

---

- Leerseite -

**THIS PAGE BLANK (USPTO)**



FIG 1

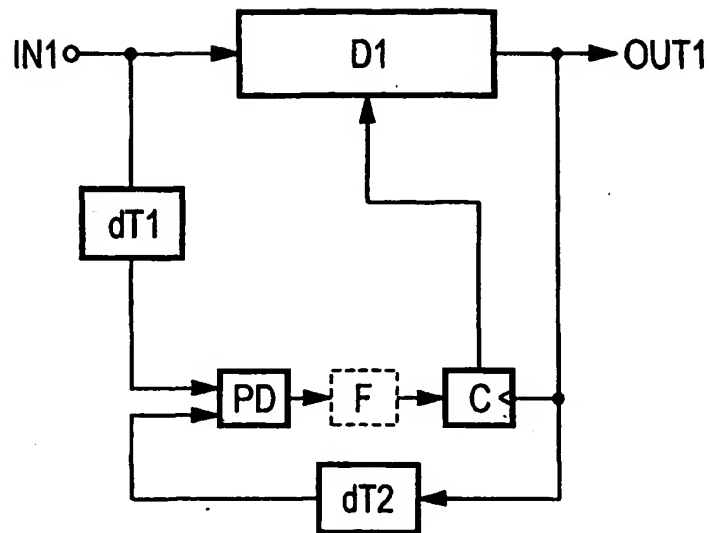


FIG 2

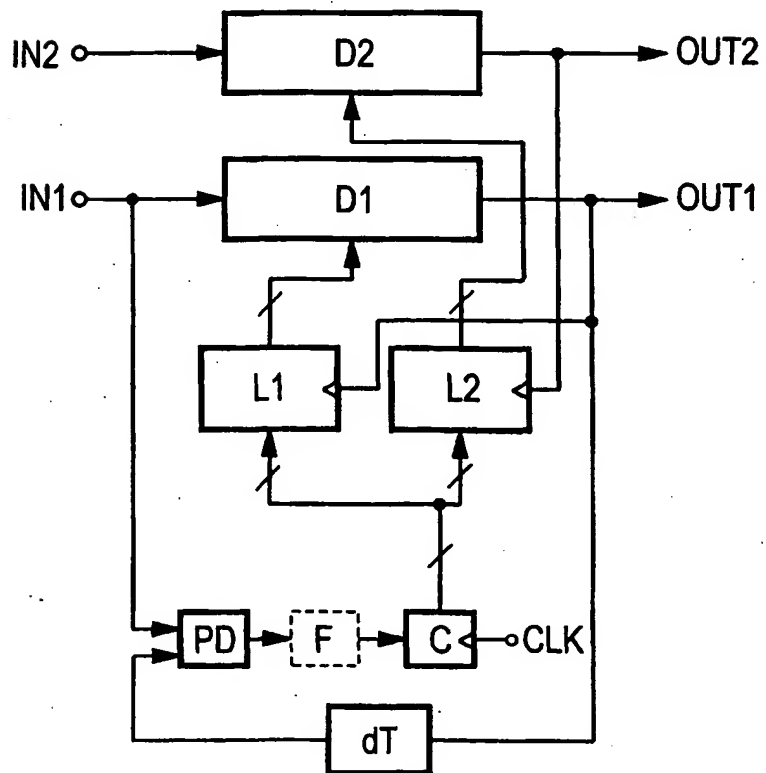
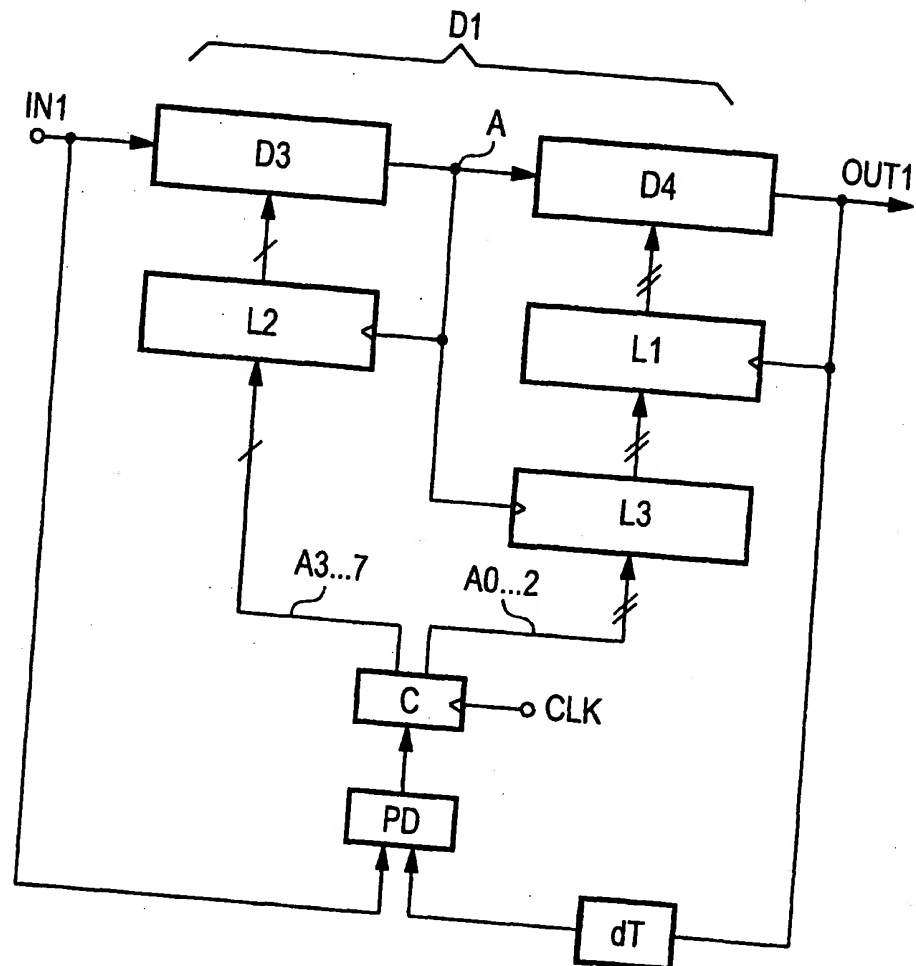


FIG 3



## Integrated circuit with a phase locked loop

Patent Number: US6351167  
 Publication date: 2002-02-26  
 Inventor(s): HEIN THOMAS (DE); HEYNE PATRICK (DE); MARX THILO (DE); PARTSCH TORSTEN (DE)  
 Applicant(s): SIEMENS AG (DE)  
 Requested Patent: DE19930167  
 Application Number: US20000608563 20000630  
 Priority Number(s): DE19991030167 19990630  
 IPC Classification: H03L7/00  
 EC Classification: H03K5/13; H03L7/081A1  
 Equivalents:

### Abstract

A phase regulator is connected, on the input side, to the output of a phase comparator and generates a control signal in a manner dependent on the phase difference ascertained by said comparator. Updating of the control signal fed to a control input of a first delay unit is triggered by an edge of the first output clock signal occurring at the clock output of the first delay unit

Data supplied from the esp@cenet database - I2

## Description

### BACKGROUND OF THE INVENTION

### FIELD OF THE INVENTION

The invention relates to an integrated circuit having a phase-locked loop.

Delay-Locked Loops (DLLs) are integrated circuits having a phase-locked loop in which an output clock signal is generated with a specific phase shift relative to an input clock signal. DLLs usually have a delay unit which is arranged between a clock input and a clock output and whose delay time is adjustable. The clock input for the input clock signal and the clock output for the output clock signal are connected to a phase comparator or phase detector. A phase regulator connected downstream of the phase detector generates a control signal which is used to set the delay time of the delay unit. The generation and updating of the control signal by the phase regulator are in this case often effected synchronously with a control clock signal.

Since edges of the output clock signal are critical for the driving of circuit units connected downstream of the DLL, it is desirable for these edges to be generated as far as possible without any disturbances. However, it can happen that the phase regulator clocked by the control signal performs adaptation or updating of the control signal fed to the delay unit shortly before or even during the occurrence of an edge of the output clock signal. This leads to the edges of the output clock signal being disturbingly influenced in an undesirable manner. The disturbance can be attributed to the fact that when there is a change in the control signal, a change is made to the delay time of the delay unit for which specific switching operations have to be carried out within the delay unit.

### SUMMARY OF THE INVENTION

The invention is based on the object of specifying an integrated circuit of the type described in the introduction which avoids disturbances of the edges of the output clock signal on account of the updating of the control signal generated by the phase regulator.

This object is achieved by means of an integrated circuit in accordance with patent claim 1. The dependent claims relate to advantageous designs and developments of the invention.

According to the invention, updating of the control signal fed to the control input of the delay unit is triggered by an edge of the output clock signal occurring at the clock output.

By virtue of the fact that the updating of the control signal is triggered only by the edge of the output clock signal, it is no longer possible for the edge to be disturbingly influenced by the setting operations caused by the updating

within the delay unit.

It has been customary hitherto for the phase regulator to be driven by a control clock signal which is independent of the output clock signal of the phase-locked loop. As a result, the control signal fed to the delay unit was updated independently of the output clock signal, so that the edges of the output clock signal could be disturbingly influenced.

According to a first embodiment of the invention, the dependence of the updating of the control signal on the output clock signal is achieved by the phase regulator being clocked by the output clock signal and not by a control clock signal independent thereof. For this purpose, a clock input of the phase regulator is connected to the clock output of the delay unit. The phase regulator then generates the updated values of the control signal in a manner dependent on the edges of the output clock signal.

According to another embodiment of the invention, the integrated circuit has a first transfer unit, which is arranged between the output of the phase regulator and the control input of the first delay unit and whose clock input is connected to the clock output of the first delay unit. The first transfer unit forwards the control signal fed to it by the phase regulator to the first delay unit in a manner dependent on the edge of the first output clock signal, which is fed to its clock input.

In this embodiment, it is possible for the phase regulator to be clocked by a control clock signal which remains independent of the output clock signal of the first delay unit. The first transfer unit, which may be, for example, a clocked holding circuit (latch), nevertheless ensures that the respective updated value of the control signal is forwarded to the control input of the first delay unit only after the occurrence of an edge of the output clock signal. Therefore, undesirable disturbances of edges of the output clock signal on account of alterations to the control signal generated by the phase regulator are avoided in this way as well.

According to one development of the invention, the integrated circuit has a second delay unit having a clock input for feeding in a second input clock signal, having a clock output for outputting a second output clock signal, which is delayed with respect to the second input clock signal, and having at least one control input for setting its delay time. The circuit further has a second transfer unit, via which the output of the phase regulator is connected to the control input of the second delay unit, which has a clock input connected to the clock output of the second delay unit, and which forwards the control signal fed to it by the phase regulator to the second delay unit in a manner dependent on the edge of the second output clock signal, which is fed to its control input.

In this development of the invention, therefore, the phase regulator serves both for regulating the phase shift of the first output clock signal with respect to the first input clock signal and for controlling the phase shift of the second output clock signal with respect to the second input clock signal. This development is particularly suitable for first and second input clock signals which are such that they have the same frequency and have a specific phase shift relative to one another. The second transfer unit ensures that the edges of the second output clock signal are also not disturbingly influenced by the updating of the control signal which is fed both to the first and to the second delay unit.

According to a further development of the invention, the first delay unit has a series circuit formed by a first delay stage and a second delay stage. The phase regulator serves for generating a control signal for the first delay stage and a control signal for the second delay stage. The phase regulator is connected to the first delay stage via a second transfer unit and to the second delay stage via a series circuit formed by a third transfer unit and the first transfer unit. Clock inputs of the second and third transfer units are connected to a clock output of the first delay stage.

The second and third transfer units ensure that the control signals which are generated at the same instant by the phase regulator are fed to the two delay stages during a period of the output clock signal. The second transfer unit prevents a disturbance of the edges of the output clock signal of the first delay stage and the first transfer unit prevents a disturbance of the edges of the output clock signal of the second delay stage by the updating of the respective control signal.

By way of example, the first delay stage may serve for the coarse setting of a delay time and the second delay stage may serve for the fine setting of a delay time of the first delay unit.

Other features which are considered as characteristic for the invention are set forth in the appended claims.

Although the invention is illustrated and described herein as embodied in an integrated circuit having a phase-locked loop, it is nevertheless not intended to be limited to the details shown, since various modifications and structural changes may be made therein without departing from the spirit of the invention and within the scope and range of equivalents of the claims.

The construction and method of operation of the invention, however, together with additional objects and advantages thereof will be best understood from the following description of specific embodiments when read in connection with the accompanying drawings.

#### BRIEF DESCRIPTION OF THE DRAWING

FIG. 1 is a block diagram of a first exemplary embodiment of the invention;

FIG. 2 is a block diagram of a further exemplary embodiment of the invention; and

FIG. 3 is a block diagram of yet a further exemplary embodiment of the invention.

#### DESCRIPTION OF THE PREFERRED EMBODIMENTS

FIG. 1 shows a first exemplary embodiment of the invention, which has a first delay unit D1 having a clock input IN1 for feeding in a first input clock signal and having a clock output OUT1 for outputting a first output clock signal, which is delayed with respect to the first input clock signal. The clock input IN1 is connected to a first input of a phase detector PD via a first delay element dT1 having a constant or adjustable delay time. The clock output OUT1 is connected to a second input of the phase detector PD via a second delay element dT2 likewise having either a fixed or an adjustable delay time. In other exemplary embodiments of the invention, one of the two delay elements dT1, dT2 may also be omitted. In the exemplary embodiments as shown in FIG. 2 and FIG. 3, which will be explained further below, only one delay element dT of this type is arranged between the clock output and the second input of the phase detector PD, although in these exemplary embodiments, too, a further delay element can be provided between the clock input and the first input of the phase detector as an alternative or in addition to said delay element dT.

The phase detector PD in FIG. 1 checks the phase difference between the clock signals occurring at its two inputs and communicates a corresponding result signal, if appropriate via a filter unit F, to a phase regulator C. The phase regulator C generates a control signal which corresponds to the phase difference ascertained by the phase detector PD and is fed by said phase regulator to a control input of the first delay unit D1. The delay time of the first delay unit D1 can be set via its control unit.

The phase regulator C in FIG. 1 has an edge-sensitive clock input connected to the clock output OUT1 of the first delay unit D1. The phase regulator C carries out recalculations of the control signal that it generates, which are also referred to below as "updating" of the control signal, only upon each positive edge of the first output clock signal occurring at its clock input. In this case, it is assumed that the positive edge of the first output clock signal is the "active" edge thereof which is critical for the driving of circuit units (not illustrated in FIG. 1) connected downstream of the first clock output OUT1.

While the phase detector PD continuously updates the values of the phase difference that it ascertains and transfers them to the phase regulator C, the latter updates the control signal that it generates only when a positive edge occurs at its clock input. Consequently, a change in the control signal and hence a change in the delay time of the first delay unit D1 always take place immediately after the occurrence of the positive, active edge of the first output clock signal. Therefore, this prevents the updating of the control signal by the phase regulator C from influencing the active edge of the first output clock signal in an undesirable manner. Since only the active edge of the first output clock signal is critical for the driving of the circuit units that are connected downstream, a disturbance of the first output clock signal occurring shortly after the occurrence of the positive edge is not harmful.

FIG. 2 shows another exemplary embodiment of the invention, in which, in a departure from FIG. 1, the phase regulator C is not clocked by the first output clock signal at the clock output OUT1 of the first delay unit D1 but rather by a control clock signal CLK different from this. In this exemplary embodiment, the phase regulator C generates a digital control signal having a width of a plurality of bits. This signal is fed to corresponding control inputs of the first delay unit D1 via a first transfer unit L1, which is a clocked holding circuit (latch). The first transfer unit L1 has an edge-sensitive clock input connected to the clock output OUT1 of the first delay unit D1.

In this exemplary embodiment, therefore, the phase regulator C generates the control signal independently of the first output clock signal of the first delay unit D1. However, the first transfer unit L1 stores the present control signal generated by the phase regulator C in each case only when a positive edge of the first output clock signal occurs, and then forwards only this updated control signal to the first delay unit D1. Consequently, in this exemplary embodiment too, it is ensured that changes are made to the control signal at the control inputs of the first delay unit D1 only after the occurrence of the positive or active edge of the first output clock signal.

FIG. 2 reveals even further components, which can also be omitted in other exemplary embodiments of the invention. They include a second delay unit D2 having a clock input IN2 for feeding in a second input clock signal and having a clock output OUT2 for outputting a second output clock signal, which is delayed or phase-shifted with respect to the second input clock signal. The two input clock signals fed to the clock inputs IN1, IN2 have a fixed phase relationship relative to one another. One of the two input clock signals can be generated from the other by inversion, for example. The outputs of the phase regulator C at which the latter outputs the control signal are connected via a second transfer unit L2 to corresponding control inputs of the second delay unit D2 via which the delay time of the second delay unit D2 can be set. An edge-sensitive clock input of the second transfer unit L2 is connected to the clock output of the second delay unit D2.

In the case of the circuit shown in FIG. 2, the same control signal generated by the phase regulator C is fed both to the first transfer unit L1 and to the second transfer unit L2. However, the updated control signal is forwarded by means of the first transfer unit L1 in a manner dependent on the first output clock signal of the first delay unit D1, and by means of the second transfer unit L2 in a manner dependent on the second output clock signal of the second delay unit D2. Consequently, it is ensured for both delay units D1, D2 that the positive edge of their output clock signals is not influenced in a disturbing manner by changes in the control signal at their control inputs. While the first delay unit D1 is part of the phase-locked loop having the phase regulator C, the control signal

communicated from the phase regulator C via the second transfer unit L2 to the second delay unit D2 is used merely to effect control, that is to say not regulation, of the phase shift of the second output clock signal with respect to the second input clock signal.

FIG. 3 shows a further exemplary embodiment of the invention, in which the first delay unit D1 has a series circuit formed by a first delay stage D3 and a second delay stage D4. The phase regulator C once again generates a digital control signal, which has eight bits A0 to A7 in this example. The five most significant bits A3 to A7 of the control signal are fed to corresponding control inputs of the first delay stage D3 via a second transfer unit L2. The three least significant bits A0 to A2 of the control signal are fed to corresponding control inputs of the second delay stage D4 via a series circuit formed by a third transfer unit L3 and the first transfer unit L1. The delay times of the two delay stages D3, D4 can be set via their control inputs. In this case, the first delay stage D3 is a coarse delay stage and the second delay stage D4 is a fine delay stage of the first delay unit D1. This means that the delay time of the first delay stage D3 can be varied in minimal steps which are larger than those of the second delay stage D4.

The three transfer units L1, L2, L3 each have an edge-sensitive clock input. The clock inputs of the second transfer unit L2 and of the third transfer unit L3 are connected to a clock output A of the first delay stage D3, said clock output also being connected to a clock input of the second delay stage D4. The clock input of the first transfer unit L1 is once again connected to the clock output OUT1 of the first delay unit D1, said clock output being a clock output of the second delay stage D4.

In the case of the exemplary embodiment illustrated in FIG. 3, the control signal generated by the phase regulator is forwarded simultaneously via the second transfer unit L2 and the third transfer unit L3 to the control inputs of the first delay stage D3 and to the inputs of the first transfer unit L1. This ensures that positive edges at the clock output A of the first delay stage D3 are not influenced in a disturbing manner by updating of the control signal at the control inputs of the first delay stage D3. The first transfer unit L1 once again ensures that the control signal that it communicates to the control inputs of the second delay stage D4 is changed only after the occurrence of a positive edge of the first output clock signal.

[lacuna] store [lacuna] and forward [lacuna] to the control units of the corresponding delay stages D3, D4 until, when the next positive edge occurs at their clock input, they accept the control signal value present at their inputs at this instant and store it instead of the previously stored value and forward it to the delay stages D3, D4.

In all of the exemplary embodiments explained, the delay time of the delay units D1, D2 or delay stages D3, D4 is changed at a point in time which is noncritical and does not significantly disturb the corresponding output clock signal. In particular, the active edge (the positive edge in these exemplary embodiments) of said output clock signal is not disturbed. By virtue of the fact that the updating of the control signals at the control inputs of the delay units or delay stages is triggered immediately by the active edge of the output clock signals, the maximum possible amount of time of the period of the output clock signals is available to perform the change to the delay times which results from the updating before the next active edge occurs at the corresponding clock output. Consequently, the delay units D1, D2 and delay stages D3, D4 are already in the settled state when the next positive clock edge occurs.

In the case of the exemplary embodiment according to FIG. 3, the third transfer unit L3 ensures that the delay time of the second delay stage D4 is always changed after that of the first delay stage D3, but in the same clock period.

The transfer units L1, L2, L3 of the different exemplary embodiments are expediently arranged directly in the vicinity of the control inputs of the associated delay units D1, D2 or delay stages D3, D4, so that only negligible signal propagation times occur between their outputs and the control inputs.

The exemplary embodiment shown in FIG. 3 is particularly suitable if the two delay stages D3, D4 require, for setting a new delay time, amounts of time whose sum is greater than or equal to the period duration of the first input clock signal.

In other exemplary embodiments, the transfer units L1, L2, L3 may also be clocked by negative edges at their clock inputs if these are the active edges of the corresponding clock signals.

Data supplied from the esp@cenet database - 12

## Claims

What is claimed is:

1. An integrated circuit, comprising:
  - a first delay unit having a clock input for receiving a first input clock signal, a clock output for outputting a first output clock signal, delayed with respect to the first input clock signal, and at least one control input for receiving a control signal setting a delay time of said first delay unit;
  - a phase detector having a first input connected to said clock input of said first delay unit, a second input connected to said clock output of said first delay unit, and an output;
  - a phase regulator having at least one input connected to said output of said phase comparator, at least one output

connected to said control input of said first delay unit, for outputting a control signal dependent on a phase difference ascertained by said phase comparator; and  
 wherein the control signal fed to said control input of said first delay unit is updated by an edge of the first output clock signal at said clock output; and  
 wherein said phase regulator has a clock input connected to said clock output of said first delay unit, for calculating a present value of the control signal in dependence on signal edges present at said clock input thereof.

2. An integrated circuit, comprising:

a first delay unit having a clock input for receiving a first input clock signal, a clock output for outputting a first output clock signal, delayed with respect to the first input clock signal, and at least one control input for receiving a control signal setting a delay time of said first delay unit;  
 a phase detector having a first input connected to said clock input of said first delay unit, a second input connected to said clock output of said first delay unit, and an output; a phase regulator having at least one input connected to said output of said phase comparator, at least one output connected to said control input of said first delay unit, for outputting a control signal dependent on a phase difference ascertained by said phase comparator; and  
 a first transfer unit connecting said output of said phase regulator to said control input of said first delay unit;  
 said first transfer unit having a clock input connected to said clock output of said first delay unit; and  
 said first transfer unit having a control input and forwarding the control signal received from said phase regulator to said first delay unit in dependence on an edge of the first output clock signal present at said control input thereof;  
 wherein the control signal fed to said control input of said first delay unit is updated by an edge of the first output clock signal at said clock output.

3. The integrated circuit according to claim 2, which further comprises:

a second delay unit having a clock input for receiving a second input clock signal, a clock output for outputting a second output clock signal, delayed with respect to the second input clock signal, and at least one control input for setting a delay time of said second delay unit;  
 a second transfer unit connecting said output of said phase regulator to said control input of said second delay unit,  
 said second transfer unit having a clock input connected to said clock output of said second delay unit;  
 said second transfer unit having a control input and forwarding the control signal received from said phase regulator to said second delay unit in dependence on an edge of the second output clock signal present at said control input thereof.

4. The integrated circuit according to claim 2, wherein

said first delay unit includes, between said clock input and said clock output thereof, a series circuit formed by a first delay stage and a second delay stage, each having at least one control input for setting a respective delay time thereof;  
 said phase regulator has at least one first output for outputting a control signal for said first delay stage and at least one second output for outputting a control signal for said second delay stage;  
 said first transfer unit has an input and an output connected to said control input of said second delay stage;  
 a second transfer unit connects said first output of said phase regulator to said control input of said first delay stage;  
 said second transfer unit has a clock input connected to an output of said first delay stage; and  
 said second transfer unit forwards the control signal received from said phase regulator to said first delay stage in dependence on an edge of an output clock signal of said first delay stage received at a control input thereof;  
 a third transfer unit connects said second output of said phase regulator to said input of said first transfer unit;  
 said third transfer unit has a clock input connected to said output of said first delay stage; and  
 said third transfer unit forwards the control signal received from said phase regulator to said first transfer unit in dependence on the edge of the output clock signal of said first delay stage received at a control input thereof.

5. The integrated circuit according to claim 4, wherein said first delay stage is configured for a coarse setting of the delay time and said second delay stage is configured for a fine setting of the delay time of said first delay unit.

6. The integrated circuit according to claim 2, wherein said transfer unit is configured to store the control signals received between successive signal edges at said clock input thereof.

7. The integrated circuit according to claim 3, wherein at least one of said first transfer unit and said second transfer unit is configured to store the control signals received between successive signal edges at said clock input thereof.

8. The integrated circuit according to claim 4, wherein at least one of said first transfer unit and said second transfer unit is configured to store the control signals received between successive signal edges at said clock input thereof.

---

Data supplied from the esp@cenet database - I2

